

(12) Patent Official Gazette

(11) Patent Laid - Open No. HEI4-317184

(43) November 09, 1992

(21) Application No. HEI 3-84848

(22) Application Date : April 17, 1991

(71) Applicant : Fujitsu Limited

(72) Inventor : Toshihiko Morita

(54) Title of Invention : Image Processing System

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-317184

(43)公開日 平成4年(1992)11月9日

(51)Int.Cl.⁶
G 0 6 F 15/68
15/31
15/70

識別記号 庁内整理番号
4 0 0 J 8420-5L
S 6798-5L
3 3 5 Z 9071-5L

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 8 頁)

(21)出願番号 特願平3-84848

(22)出願日 平成3年(1991)4月17日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(72)発明者 森田 優彦
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 井桁 貞一

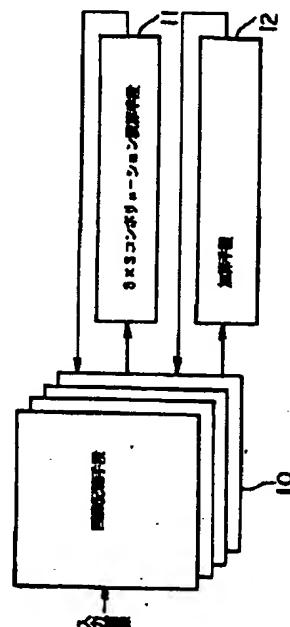
(54)【発明の名称】 画像処理装置

(57)【要約】

【目的】 ロボットなどに使用される画像処理装置に関し、ハードウェアの規模が小さくてもより広い演算範囲についての積和演算オペレータと等価な処理結果を得ることを目的とする。

【構成】 画像記憶手段10は、ディジタル化された複数の回素信号からなる入力画像を格納するものである。演算手段11は、3×3コンボリューション演算手段であって、画像記憶手段10に格納された入力画像に対して3×3のコンボリューション演算を実行し、再び画像記憶手段10に格納する。加算手段12は、画像記憶手段10に格納されている複数の画像について、それに対応する各回素信号を加算して再び画像記憶手段10に格納する。

回素信号を記憶するアドレス



【特許請求の範囲】

【請求項1】複数のデジタル化された画素信号からなる入力画像に画像処理演算を施すことによって画像変換する画像処理装置において、前記入力画像を記憶する複数の画像記憶手段(10)と、前記画像記憶手段(10)に記憶された画像に対して 3×3 のコンボリューション演算を実行し、再び前記画像記憶手段(10)に格納する演算手段(11)と、前記画像記憶手段(10)に格納されている複数の画像の対応する各画素信号を加算する加算手段(12)と、を備え、前記演算手段(11)によるコンボリューション演算及び加算手段(12)による加算を前記入力画像について複数回実施することを特徴とする画像処理装置。

【請求項2】前記画像記憶手段(10)は、各画素信号をスケーリングして記憶する機能を含むことを特徴とする請求項1記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はロボットなどに使用される画像処理装置に関する。詳しくは、カメラで撮影した画像から、対象物の位置・形状情報を求める画像処理装置に関するものである。

【0002】このような画像処理装置は、工場や各種施設で動作するロボットの視覚センサとして用いられる。たとえば、工場では、視覚センサからの画像情報に基づいて、ワークをハンドリングしたり製品を検査したりするに、安定に動作する画像処理装置が必要とされている。また、最近になって、原子力発電施設等でも人間に代わって点検・保守を行う移動ロボットの需要が高まっている。こうした移動ロボットが周囲の状況を把握するためには、視覚センサの画像情報から物体までの距離やその大きさ等、三次元情報を確実に解析しなければならない。したがって、視覚センサからの画像情報を精度良く、かつ高速に処理する画像処理装置が不可欠となっている。

【0003】

【従来の技術】従来から、視覚センサ出力に対する画像処理のために、様々な装置が開発され、場面に応じて多様な処理方法が採用されている。画像処理装置の多くは、その処理の初めに前処理を行っており、その際にしばしば、入力された画像情報に対して画像の平滑化・輪郭抽出等を行うコンボリューション演算が実施される。一般に、2次元配列のデジタル化された画素信号に対するコンボリューション演算とは、中心画素 $P_{(i,j)}$ について、例えばその近傍画素の濃度値を一定のたたみ込みのマスクパターンによって新たなたたみ込み符号 $P_{(i,j)}$ に変換する演算である。

【0004】図8のような、3行3列(以下、 3×3 と略記する。)のマスクパターンを使用するコンボリューション演算によれば、2次元配列の画素群の内の中心画

素 $P_{(2,2)}$ についてのたたみ込み符号 $P_{(2,2)}$ が、マスクパターンの係数に応じて、

$$(B+2A+H) - (D+2E+F)$$

のような新たな濃度値に変換される。従って、この 3×3 のマスクパターンは、図9のような重みを持った演算オペレータによる演算と考えることができる。

【0005】図10に各種の 3×3 のマスクパターンに対応する演算オペレータと、その演算結果を示す。たとえば、同図(a)のマスクパターンは平滑化オペレータであり、対象画素に対して近傍画素の濃度値との平均化を行う。この 3×3 のたたみ込み演算を各画素毎に実行することによって、全画像中に含まれるノイズを抑制することができる。同図(b)は一次微分(グラジエント)オペレータで、画素の濃度勾配を判別して、画像の輪郭抽出を行うものである。更に、同図(c)は二次微分(ラプラスアン)オペレータである。一次微分(グラジエント)オペレータと同様に、輪郭抽出等に使われるものである。

【0006】

20 【発明が解決しようとする課題】しかしながら、上記のような 3×3 の各種の演算オペレータでは、輪郭を安定に抽出できない場合がある。たとえば、原画像の濃度変化が緩やかな場合やノイズを多く含んだ入力画像から輪郭を抽出しようとする場合には、 5×5 や 7×7 等のより広い演算範囲についての積和演算オペレータが必要とされる。しかし、一方では、オペレータの画素信号に対する演算領域を広くとればとるほど、その中間結果を格納するためのバッファメモリを含めて、画像処理装置の規模が大きくなり、ハードウェアのコストも嵩むという問題を有している。

【0007】本発明はこのような点に鑑みてなされたものであり、ハードウェアの規模が小さくてもより広い演算範囲についての積和演算オペレータと等価な処理結果が得られる画像処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】図1は、上記目的を達成する本発明の原理を説明するブロック図である。この図1において、画像記憶手段10は、デジタル化された複数の画素信号からなる入力画像を格納するものである。演算手段11は、 3×3 コンボリューション演算手段であって、画像記憶手段10に格納された入力画像に対して 3×3 のコンボリューション演算を実行し、再び画像記憶手段10に格納する。加算手段12は、画像記憶手段10に格納されている複数の画像について、それぞれに対応する各画素信号を加算して再び画像記憶手段10に格納する。

【0009】前記入力画像について複数回のコンボリューション演算と加算が実施されることで、画像変換がなされる。

【0010】

【作用】演算手段11における演算結果は、画像記憶手段10に出力され、再度、そこに格納される。この画像記憶手段10では、例えば順次に2回のコンボリューション演算を入力画像に対して実施した結果と、1回のコンボリューション演算を実施した結果とが格納された後、これらの画像が加算手段12によってそれぞれに対応する各画素信号毎に加算され、再び画像記憶手段10に格納される。

【0011】画像記憶手段10の入力画像に対し、これら複数回のコンボリューション演算と加算とが実施されることによって、入力画像の各画素信号に対して 3×3 のコンボリューション演算を順次に施す画像変換のみで、より広い画素範囲でコンボリューション演算を実行した処理結果と等価なものを得ることができる。

【0012】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図2は 3×3 の演算オペレータを4回使って 7×7 の平滑化オペレータを実現する演算手順を示すブロック図である。それぞれ異なる重みで係数設定された 3×3 の演算オペレータ21、22により、入力画像に対して順次に積和演算が実行され、入力画像の各画素について画像変換が行われる。入力画像は、更に別の重み付けされた 3×3 の演算オペレータ23によって画像変換され、演算オペレータ22の出力画素に対応する画素毎に、その符号を反転した値で加算器14に出力される。

【0013】即ち、演算オペレータ22からは、入力画像に 5×5 画素分の広さで積和演算した結果が上記加算器14の+入力として供給され、演算オペレータ23からの 3×3 画素分の演算結果が反転された-入力と加算される。加算器14での加算結果は、 3×3 の演算オペレータ24の入力データとすべく、一旦バッファに部分画像として蓄積され、9画素分の加算結果が揃ったところで演算オペレータ24によって積和演算される。

【0014】上記4つの演算オペレータ21～24のうち直列に画像を変換する演算オペレータ21、22及び24は、1回の積和演算によって中心画素に対して周辺画素 3×3 の画像データが演算オペレータの重み付けに対応する値で中心画素の画像データに取り込まれ、結果として3回の積和演算により 7×7 の範囲まで広がった演算結果が出力されることになる。従って、これら演算オペレータ21～24で構成された平滑化オペレータでは、各演算オペレータの係数設定値が図2に示すように選択されることで、 7×7 の演算オペレータ20に示す係数で重み付けされた積和演算器と等価な処理結果が得られる。

【0015】図3は 3×3 の演算オペレータを4回使って 7×7 のラブラシアンオペレータを実現する演算手順を示すブロック図である。それぞれ異なる重みで係数設定された 3×3 の演算オペレータ31～34及び加算器15は、それぞれ図2の演算オペレータ21～24と

加算器14に対応しており、演算オペレータ20と等価な平滑化オペレータを構成している。スケーリングオペレータ35は、入力画像の各画素の値を144倍に拡大して、演算オペレータ34の出力画素に対応させて加算器16に出力している。加算器16には、演算オペレータ34からの 7×7 画素分の演算結果が反転された-入力として供給され、スケーリングオペレータ35からの+入力と加算される。そして、その加算結果に対して、スケーリングオペレータ36で $1/32$ に縮小して、 7×7 のラブラシアンオペレータ30と等価な処理結果を得ることができる。

10

【0016】図4はスケーリング付のラブラシアンオペレータを実現する演算手順を示すブロック図である。演算オペレータ31の演算結果と演算オペレータ33の演算結果に対して、それぞれ $1/8$ のスケーリングオペレータ37、38を作用させ、処理の途中で計算に桁あふれ(overflow)が発生しないように考慮されている。また、図3のスケーリングオペレータ35、36に代えて、演算オペレータ34の演算結果に対してスケーリングオペレータ39が、入力画像に対してはスケーリングオペレータ40がそれぞれ使用され、加算器16でその両者の演算結果が加算されている。

【0017】図5は、図3のものとは異なる係数で 7×7 のラブラシアンオペレータ30を実現する演算手順を示すブロック図である。演算オペレータ31～34は図3の場合と同じであるが、更に演算オペレータ41によって入力画像が積和演算され、その結果が加算器17に-入力として供給されている。加算器17には、演算オペレータ34からの 7×7 画素分の広がりを持った演算結果が供給され、演算オペレータ41からの-入力と加算される。スケーリングオペレータ42は、入力画像の各画素の値を72倍に拡大して、加算器17の加算結果の出力画素に対応させて加算器18に出力している。この加算器18の加算結果は、スケーリングオペレータ43で $1/32$ に縮小されて、 7×7 のラブラシアンオペレータ50と等価な処理結果を得ることができる。

20

【0018】このラブラシアンオペレータ50と図3のものとはその重み付けが異なる。この相違は、図3のものでは中心画素に対応する重みだけが正で、かつ140と大きな値に設定されていることに対して、図5では、演算対象の中心画素に対応する領域の近傍に、一定の広がりをもつ正の係数値を持った 7×7 のラブラシアンオペレータ30が実現されている点である。

40

【0019】図6は、平均化されたスケーリング付のラブラシアンオペレータを実現する演算手順を示すブロック図である。演算オペレータ31の演算結果と演算オペレータ33の演算結果に対して、それぞれ $1/8$ のスケーリングオペレータ37、38を作用させ、処理の途中で計算に桁あふれ(overflow)が発生しないように考慮されている。更に、図5のスケーリングオペレ

50

ータ42, 43に代えて、演算オペレータ41の演算結果に対してスケーリングオペレータ44が、入力画像に対してはスケーリングオペレータ45がそれぞれ使用され、加算器18の加算結果がラブラシアンオペレータ50と等価な処理結果となっている。

【0020】図7は、画像処理装置を実現する一般的なシステム構成を示すブロック図であって、図2乃至図6の各処理手順はいずれも、この画像処理装置によって高速に実行される。この画像処理装置はA/D変換器10

1、複数の画像メモリ102、コンボリューション演算器103、コンピュータインタフェイス104、及びこれらをバス結合する内部バス105から構成される。

【0021】カメラから、このシステムに取り込まれた原画像は、A/D変換器101を通して量子化され、入力画像として画像メモリ102に保存される。次に、コンボリューション演算器103では画像メモリ102内の画像を読み出して、コンボリューション演算が実行される。処理結果は入力画像とは別の画像メモリ102に保存される。3×3の演算オペレータの重み付けや画像メモリ102の選択、及びコンボリューション演算の繰り返しの手順等は、コンピュータインタフェイス104を通してプログラム制御される。

【0022】上記の説明は、いずれも基本とする演算オペレータは3×3の規模で実現する場合である。しかし、この発明の基本思想は、より小さな規模の演算オペレータをハードウェアで組み立てるだけで、中心画素を囲むより広い画素領域の画像データを処理できるという点にあって、したがって2×2などの演算オペレータを使用して偶数画素の広がりを持つオペレータと等価なものも実現することができる。

【0023】

【発明の効果】以上説明したように、本発明では3×3

のコンボリューション演算しかできない程度のバッファ等のハードウェア規模の画像処理装置であっても、より広い大きさのオペレータによるコンボリューション演算と等価な積和演算を高速に実行することができる。

【図面の簡単な説明】

【図1】本発明の原理を説明するブロック図である。

【図2】3×3オペレータを4回使って7×7の平滑化オペレータを実現する演算手順を示すブロック図である。

【図3】3×3オペレータを4回使って7×7のラブラシアンオペレータを実現する演算手順を示すブロック図である。

【図4】図3のものにスケーリング機能を挿入して7×7のラブラシアンオペレータを実現する演算手順を示すブロック図である。

【図5】図3のものと異なる7×7のラブラシアンオペレータを実現する演算手順を示すブロック図である。

【図6】図5のものにスケーリング機能を挿入して7×7のラブラシアンオペレータを実現する演算手順を示すブロック図である。

【図7】本発明の画像処理装置を実現する一般的なシステム構成を示すブロック図である。

【図8】3行3列のマスクパターンを使用するコンボリューション演算の対象画素を説明する図である。

【図9】3行3列の演算オペレータの重み付けの一例を示す図である。

【図10】3種のマスクパターンに対応する演算オペレータと、その演算結果を示す図である。

【符号の説明】

30 10 画像記憶手段

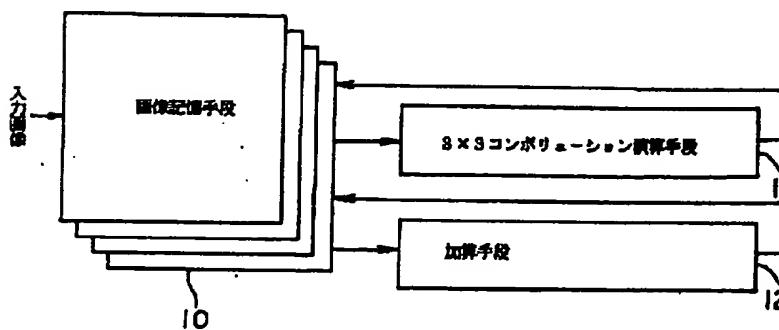
11 演算手段

12 加算手段

【図1】

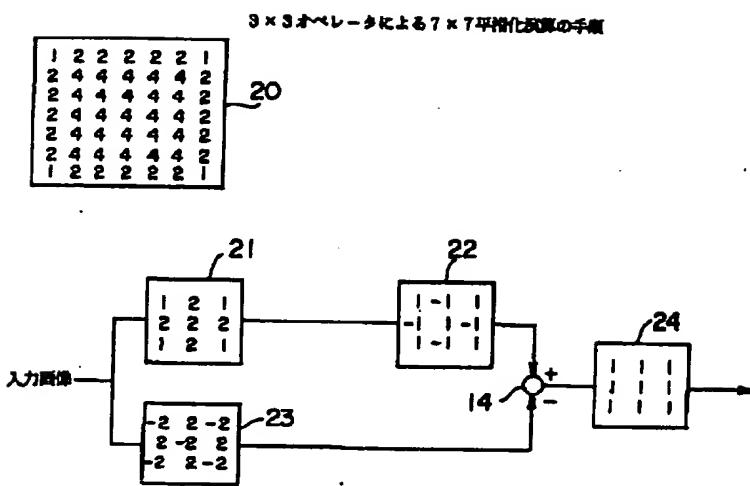
【図8】

本発明の原理を説明するブロック図



D	C	B
E	P	A
F	G	H

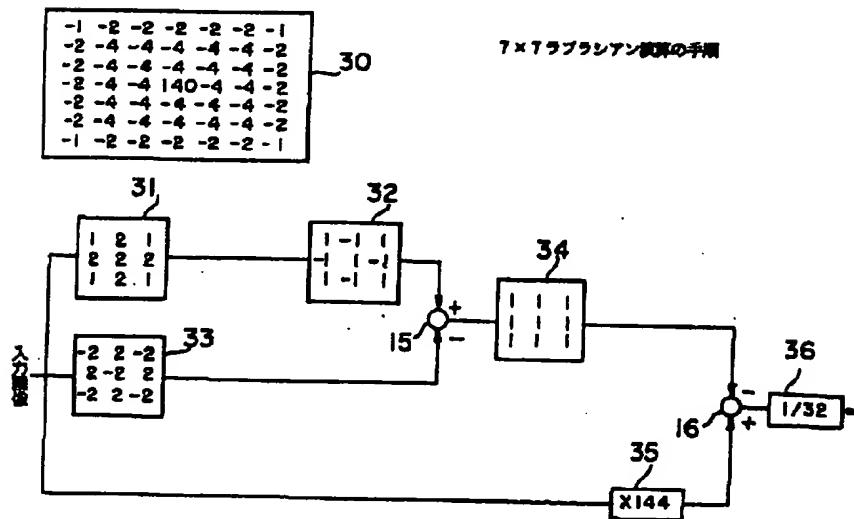
【図2】



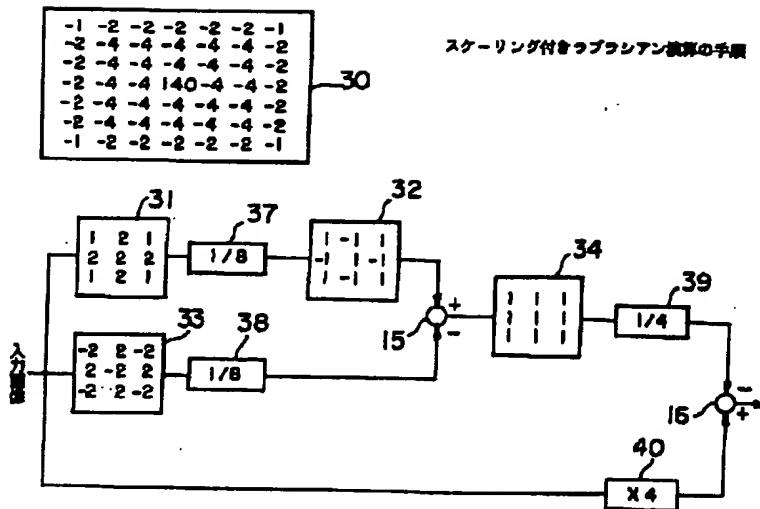
【図9】

-1	0	1
-2	0	2
1	0	1

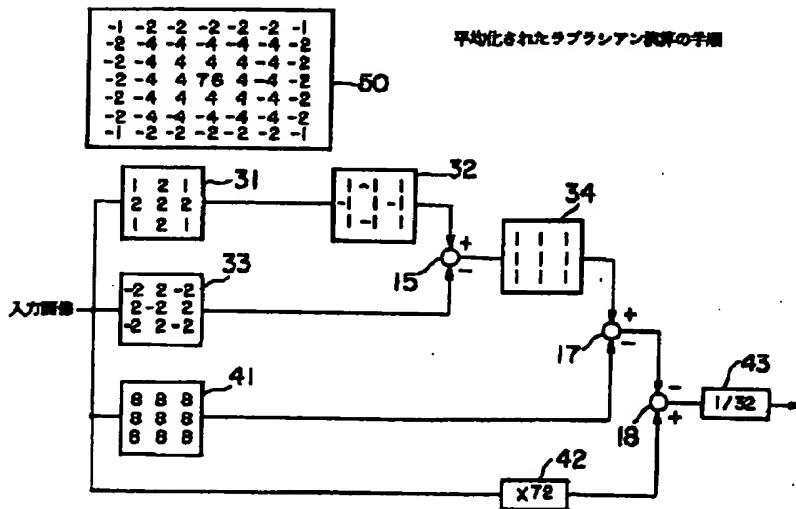
【図3】



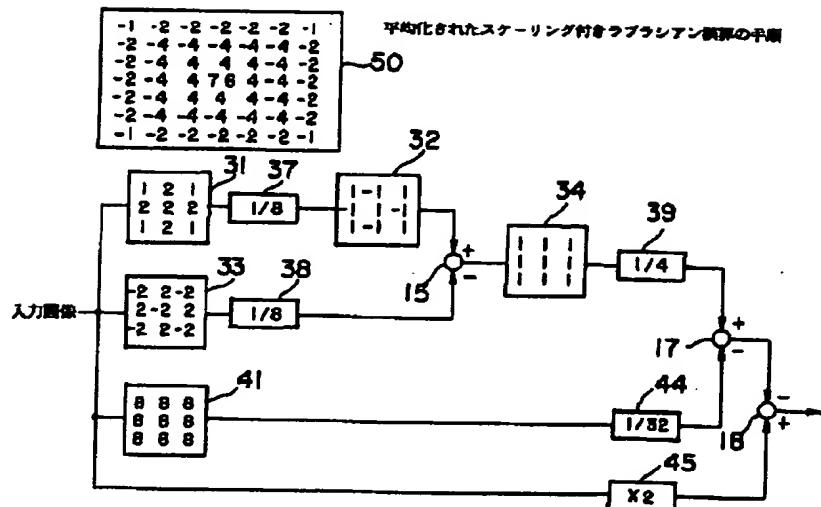
【図4】



【図5】

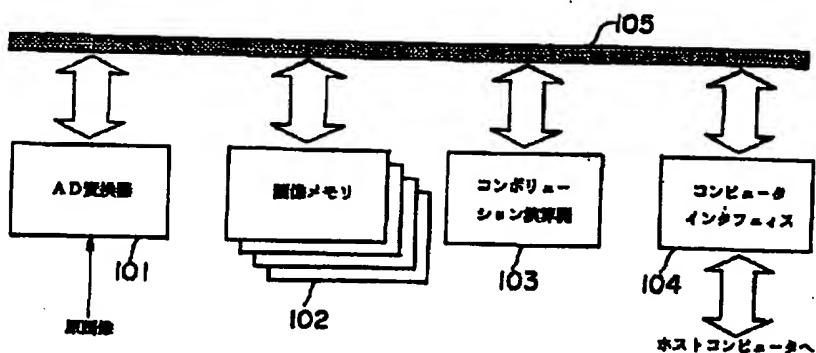


【図6】



【図7】

画像処理装置のシステム構成



【図10】

